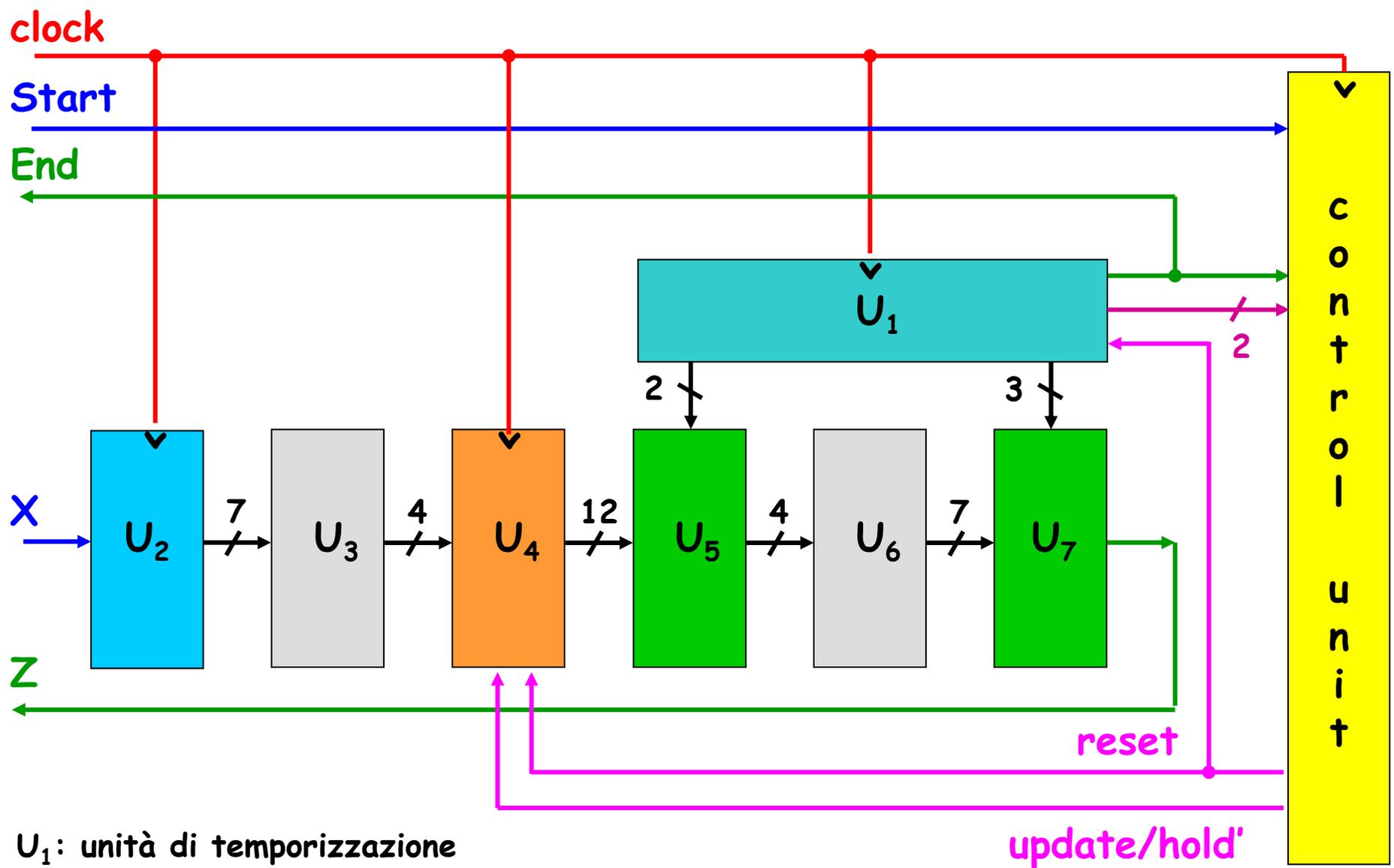


Problema 1

Un sistema sequenziale sincrono, caratterizzato da due segnali di ingresso (Start, X) e da due segnali di uscita (Z, End), tutti sincroni rispetto al clock, ha il compito di elaborare dati numerici di 28 bit, ciascuno costituito da quattro cifre decimali (C_1, C_2, C_3, C_4) rappresentate secondo il codice 7-segmenti mediante 7 bit (a, b, c, d, e, f, g). I 28 bit rappresentativi di ciascun dato numerico sono presentati in ingresso al sistema serialmente attraverso il segnale X, secondo il seguente ordine: bit a di C_1 , bit b di C_1 , ..., bit g di C_4 . Il segnale Start, attivo a livello logico 1 e di durata unitaria, identifica l'intervallo di presentazione in ingresso del primo bit di ciascun dato. Per ciascun dato presentato in ingresso il sistema deve identificare i valori $C_{\max} = \max \{C_1, C_2, C_3, C_4\}$, $C_{\min} = \min \{C_1, C_2, C_3, C_4\}$ e $C_{\text{ave}} = \lfloor (C_1 + C_2 + C_3 + C_4) / 4 \rfloor$. Le tre cifre $C_{\max}, C_{\min}, C_{\text{ave}}$ costituenti ciascun risultato devono essere anch'esse rappresentate secondo il codice 7-segmenti e fornite in uscita serialmente attraverso il segnale Z a partire dall'intervallo di clock successivo a quello di presentazione in ingresso dell'ultimo bit di ciascun dato, secondo il seguente ordine: bit a di C_{\max} , bit b di C_{\max} , ..., bit g di C_{ave} . Durante l'intervallo di generazione dell'ultimo bit di ciascun risultato il sistema deve attivare il segnale End.

Si esegua il progetto del sistema in accordo al modello "data path & control unit" secondo lo schema indicato in figura, utilizzando i componenti ritenuti più idonei allo scopo e motivando esplicitamente tutte le scelte progettuali operate.



U_1 : unità di temporizzazione

U_2 : unità di conversione serie-parallelo

U_3 : unità di trascodifica 7-segmenti / BCD

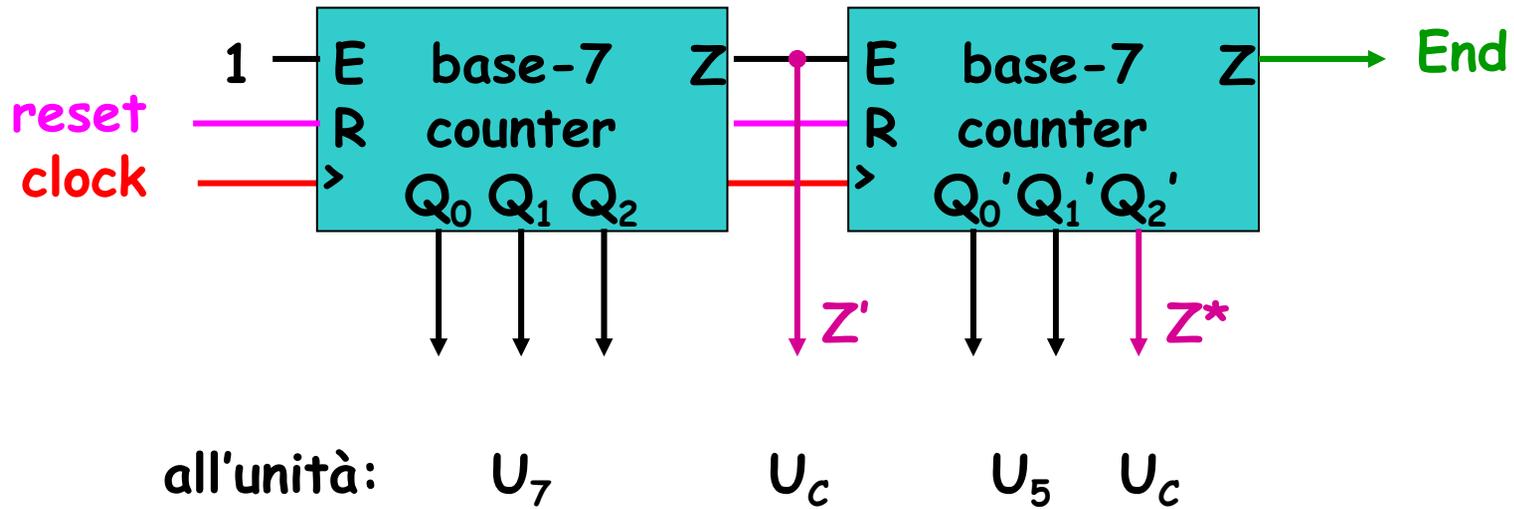
U_4 : unità di elaborazione

U_5 : unità di moltiplicazione

U_6 : unità di trascodifica BCD / 7-segmenti

U_7 : unità di conversione parallelo-serie

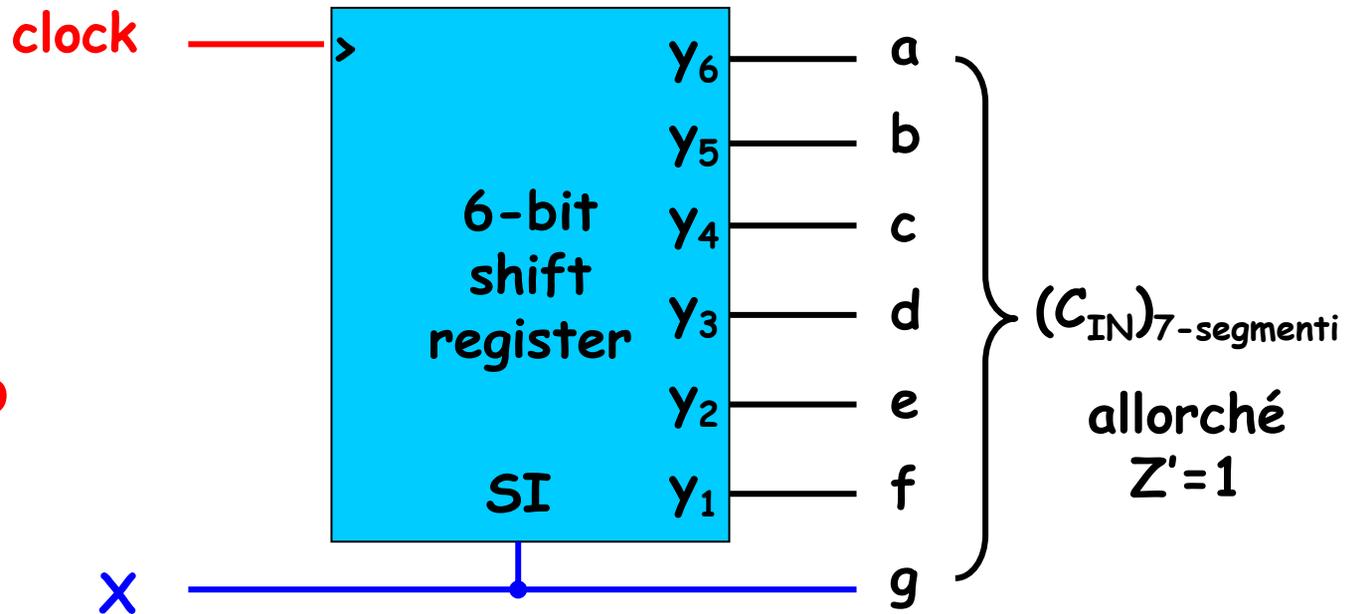
L'unità di temporizzazione



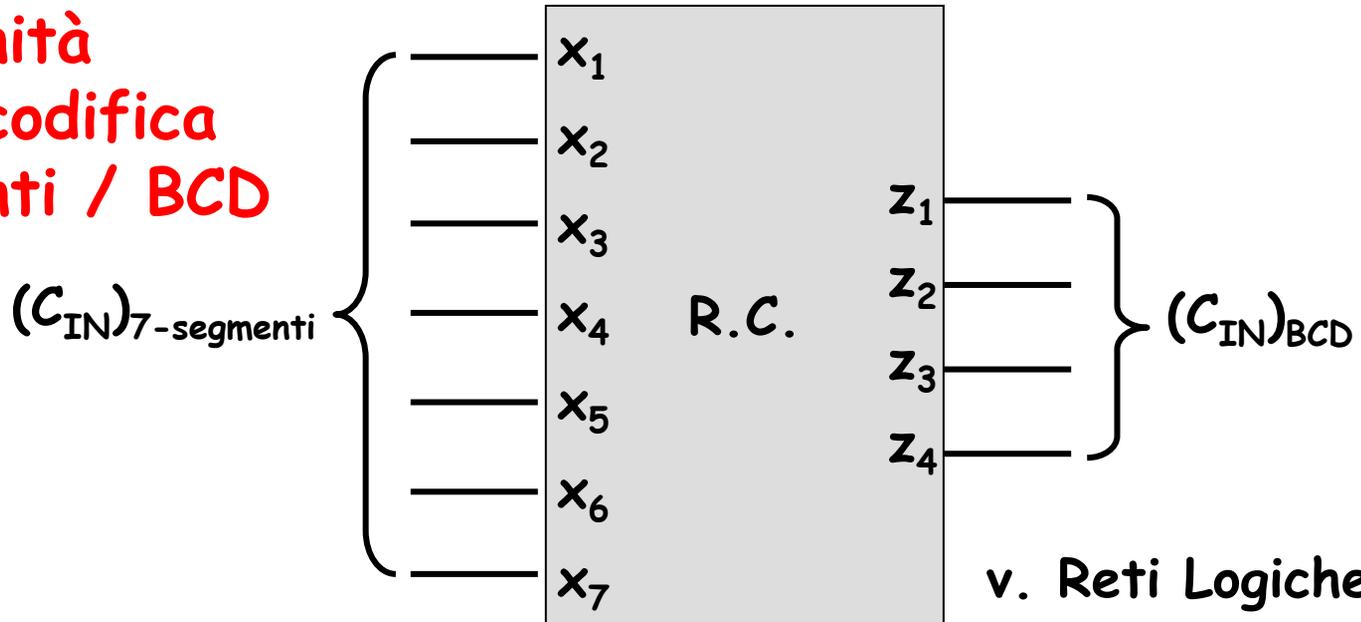
Z' : ultimo bit di una cifra, in ingresso o in uscita, rappresentata secondo il codice 7-segmenti

Z^* : intervallo di generazione del risultato

L'unità
di conversione
serie-parallelo

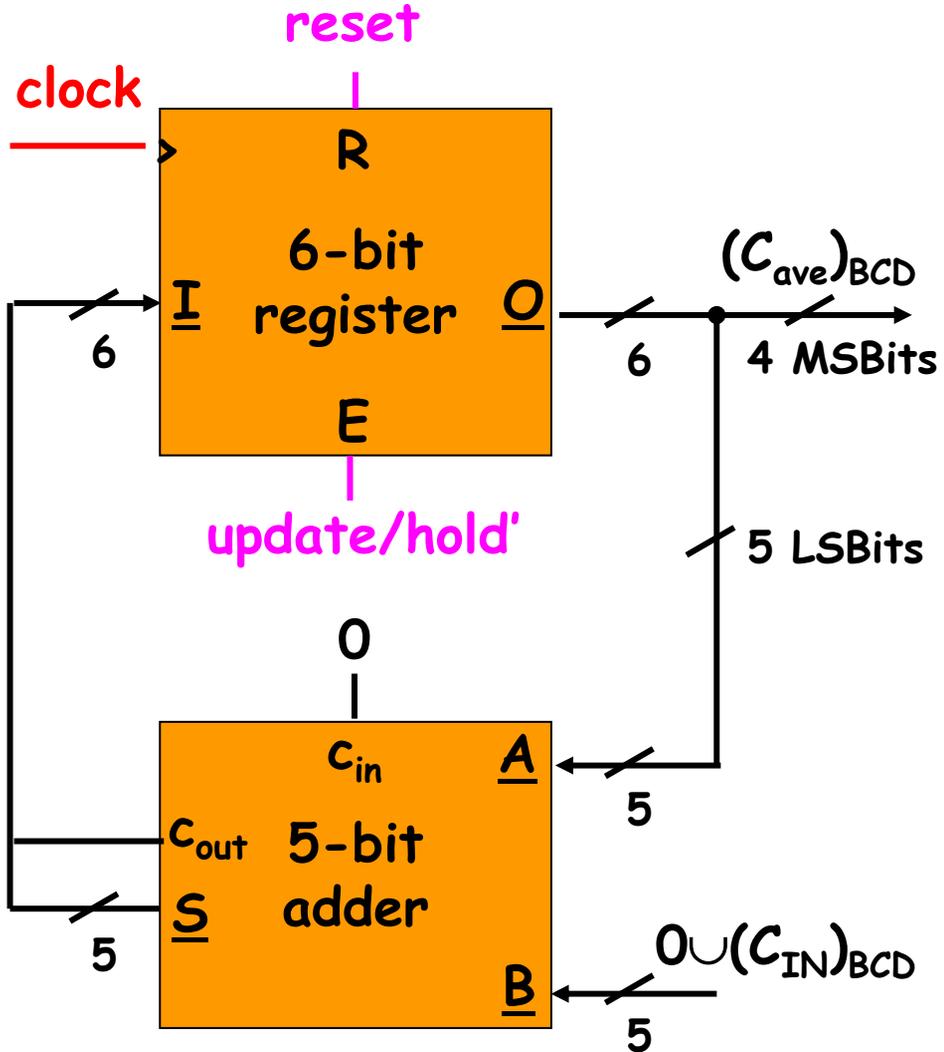
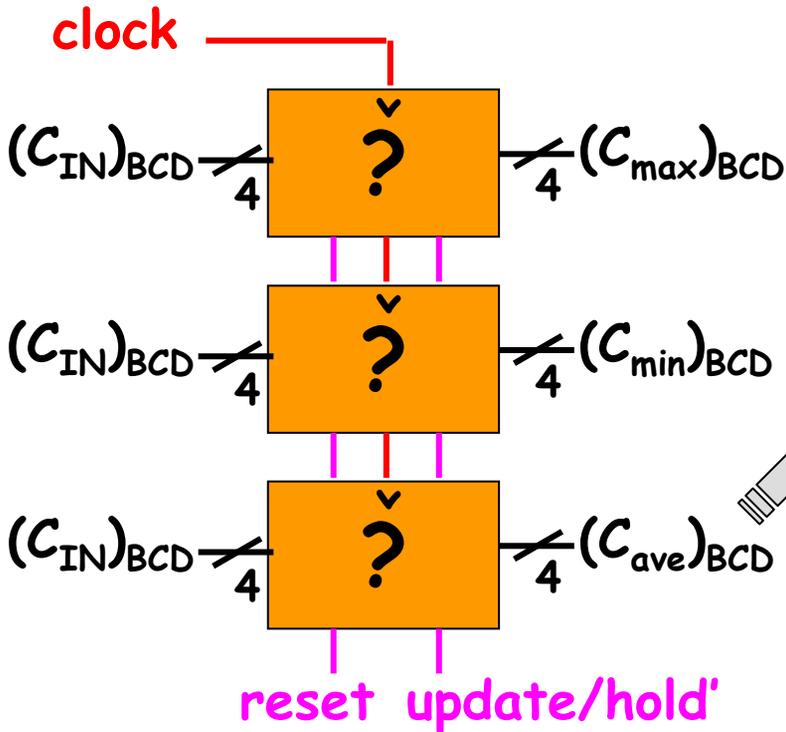
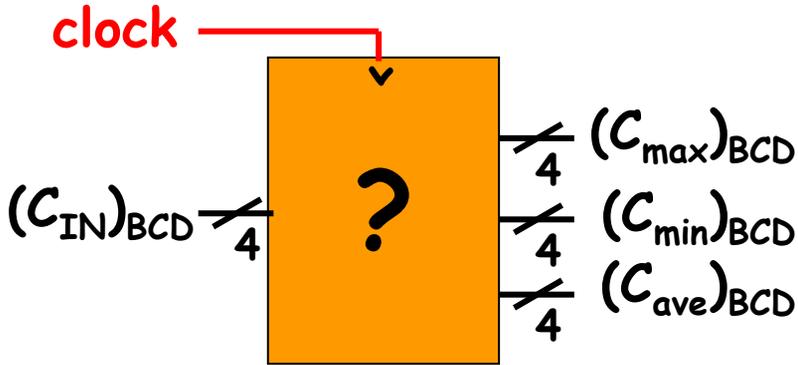


L'unità
di trascodifica
7-segmenti / BCD

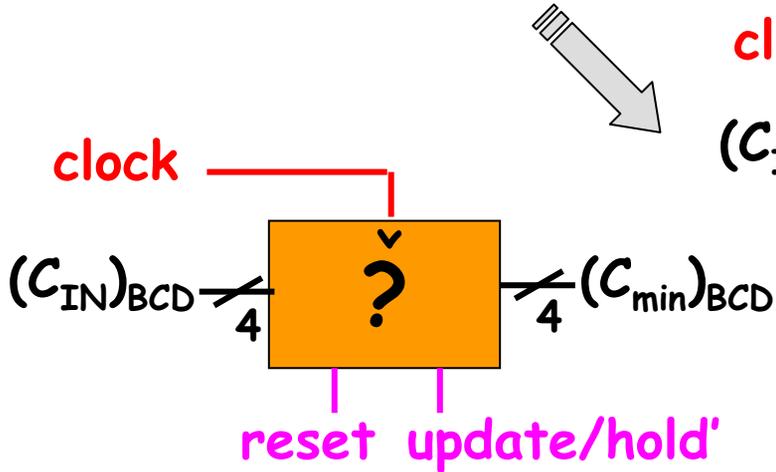
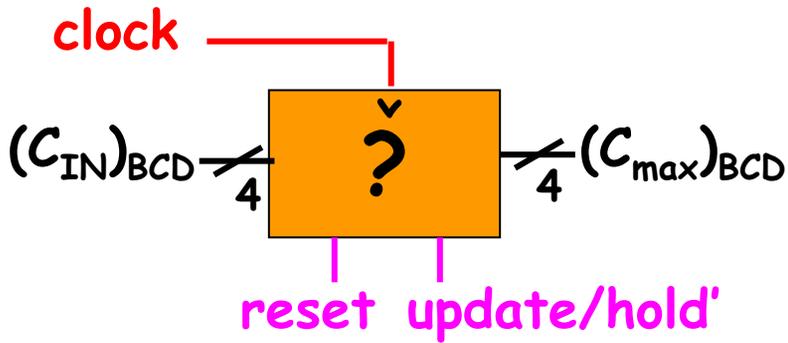


v. Reti Logiche L-A

L'unità di elaborazione ...



... L'unità di elaborazione

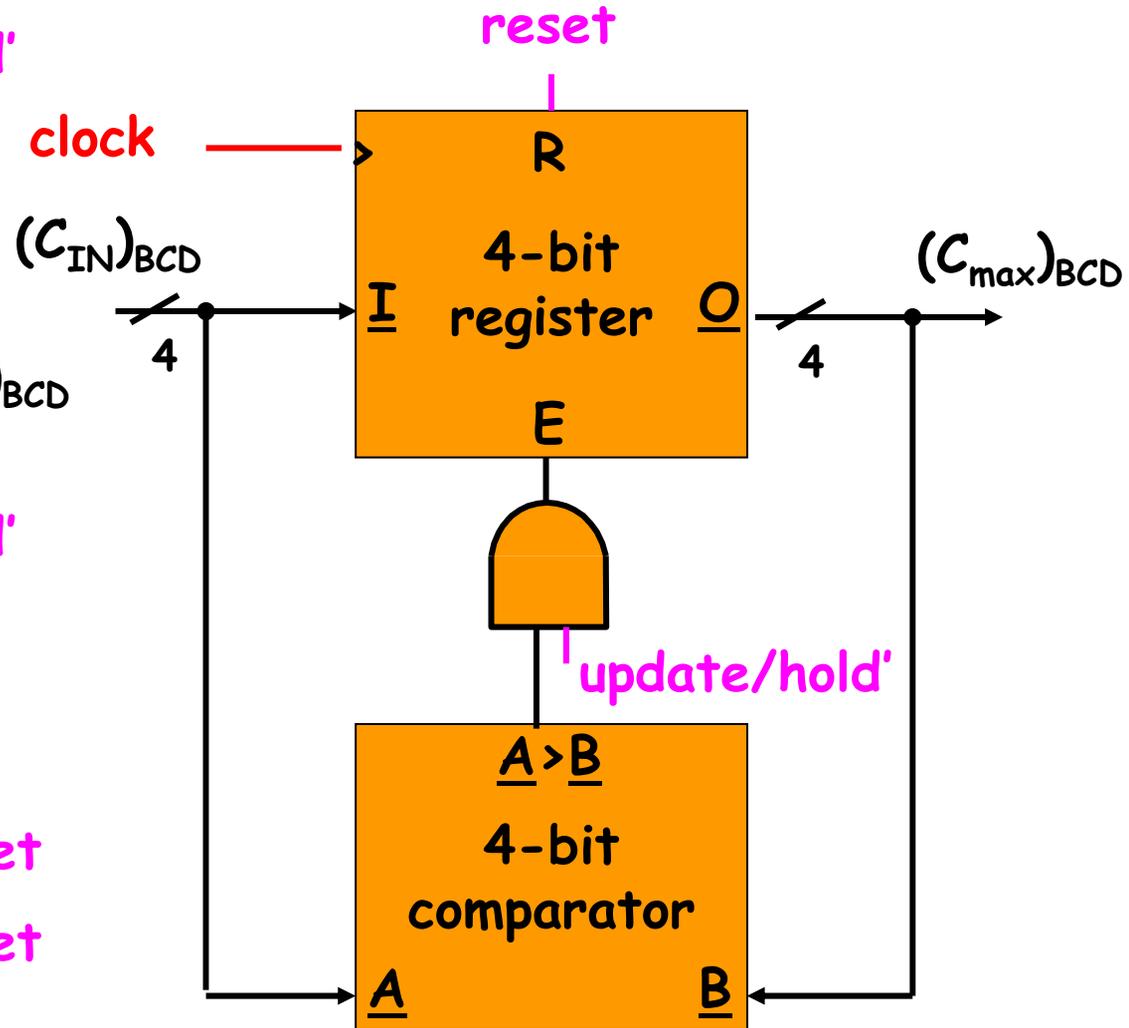


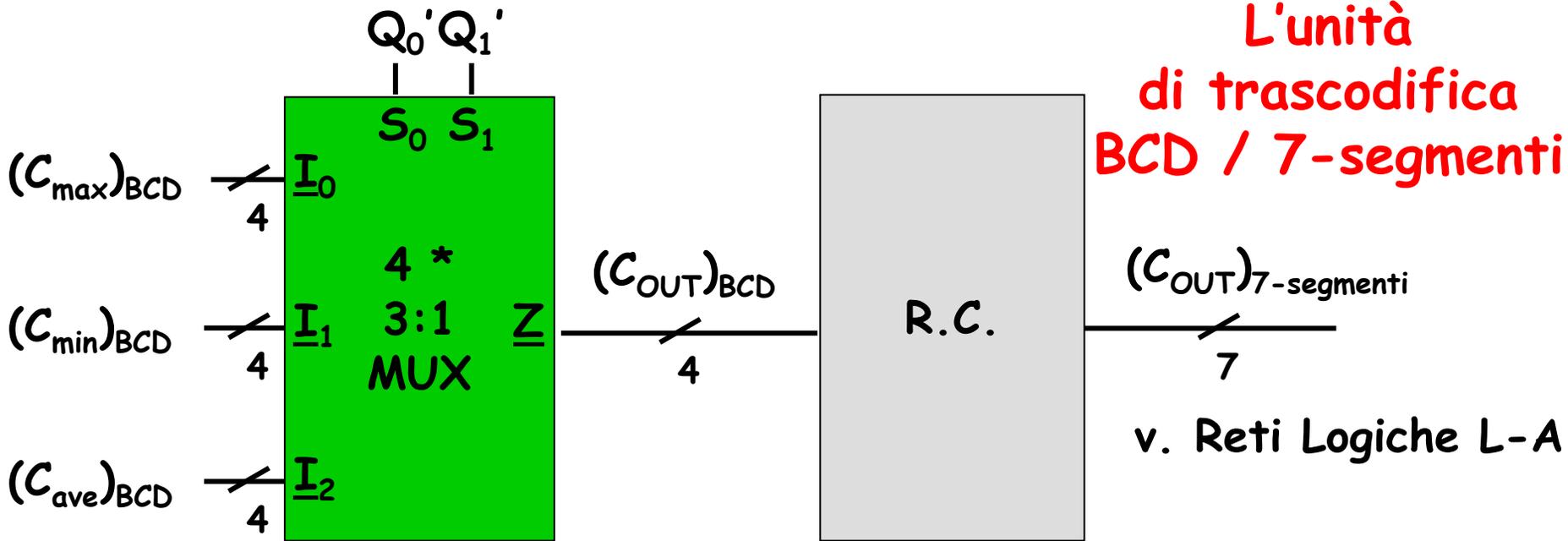
~idem

$$E = \text{update/hold}' \underline{A} > \underline{B} + \text{reset}$$

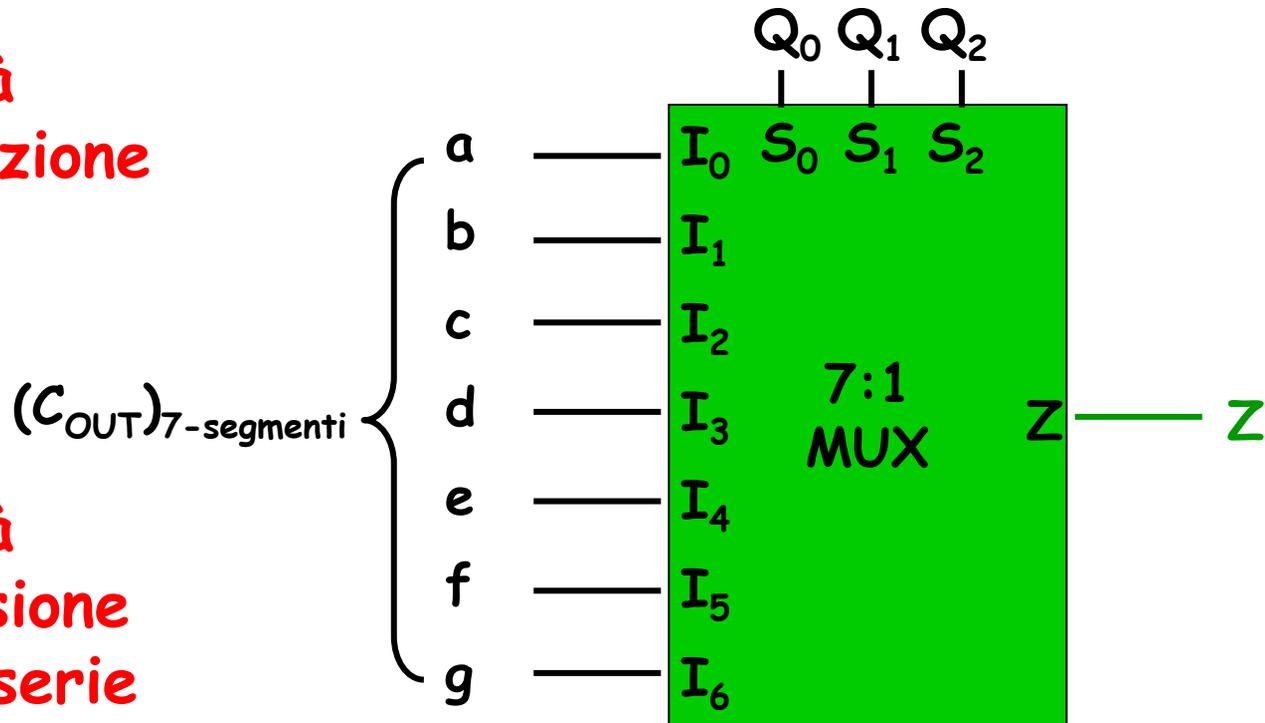
$$R = 0 \quad \underline{I} = (C_{IN})_{BCD} + \text{reset}$$

$$\underline{A} = (C_{min})_{BCD}, \quad \underline{B} = (C_{IN})_{BCD}$$



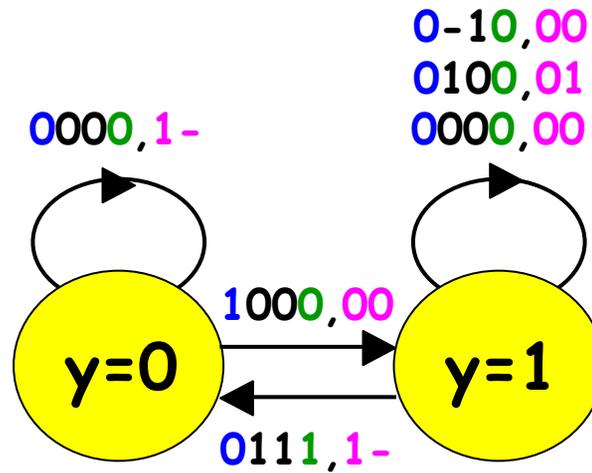


L'unità di moltiplicazione



L'unità di controllo

Start Z' Z* End, reset update/hold'



$$y^{n+1} = (\text{Start} + y \text{ End}')^n$$

$$\text{reset}^n = (y' \text{ Start}' + \text{End})^n$$

$$\text{update/hold}^n = (\text{Z}' \text{ Z}^*)^n$$

Problema 2

Il movimento lungo una traiettoria rettilinea di un organo meccanico può essere controllato tramite due segnali digitali E , D/S' . In particolare la configurazione $E = 1$, $D/S' = 1$ ne provoca lo spostamento verso destra, la configurazione $E = 1$, $D/S' = 0$ ne provoca lo spostamento verso sinistra, la configurazione $E = 0$, $D/S' = -$ ne causa l'arresto. Allorché $E = 1$, un ulteriore segnale digitale A/B' permette di controllare la velocità con cui l'organo meccanico si sposta nell'uno o nell'altro verso: alta velocità se $A/B' = 1$, bassa velocità se $A/B' = 0$. Lungo la traiettoria sono disposti due sensori, il primo al centro della traiettoria, il secondo all'estremità destra della traiettoria, ciascuno dei quali dà luogo all'attivazione (livello logico 1) di un segnale, R e D rispettivamente, se l'organo meccanico si trova in prossimità della corrispondente posizione.

In particolari condizioni, con l'organo meccanico fermo in una qualunque posizione della traiettoria, si rende necessario operarne il "rifasamento", ovvero portarlo in corrispondenza della posizione centrale della traiettoria, secondo modalità differenziate dipendenti dalla sua attuale posizione.

- 1) Posizione iniziale dell'organo all'estremità destra della traiettoria ($R = 0$, $D = 1$):
 - spostamento ad alta velocità verso sinistra fino a che $R = 1$;
 - spostamento a bassa velocità verso sinistra fino a che $R = 0$;
 - spostamento a bassa velocità verso destra ed arresto non appena $R = 1$.

2) Posizione iniziale dell'organo al centro della traiettoria ($R = 1, D = 0$):

spostamento a bassa velocità verso sinistra fino a che $R = 0$;

spostamento a bassa velocità verso destra ed arresto non appena $R = 1$.

3) Posizione iniziale dell'organo non nota ($R = D = 0$):

spostamento ad alta velocità verso destra fino a che o $R = 1$ o $D = 1$, quindi esecuzione dell'algoritmo indicato al punto 2) nel 1° caso, al punto 1) nel 2°.

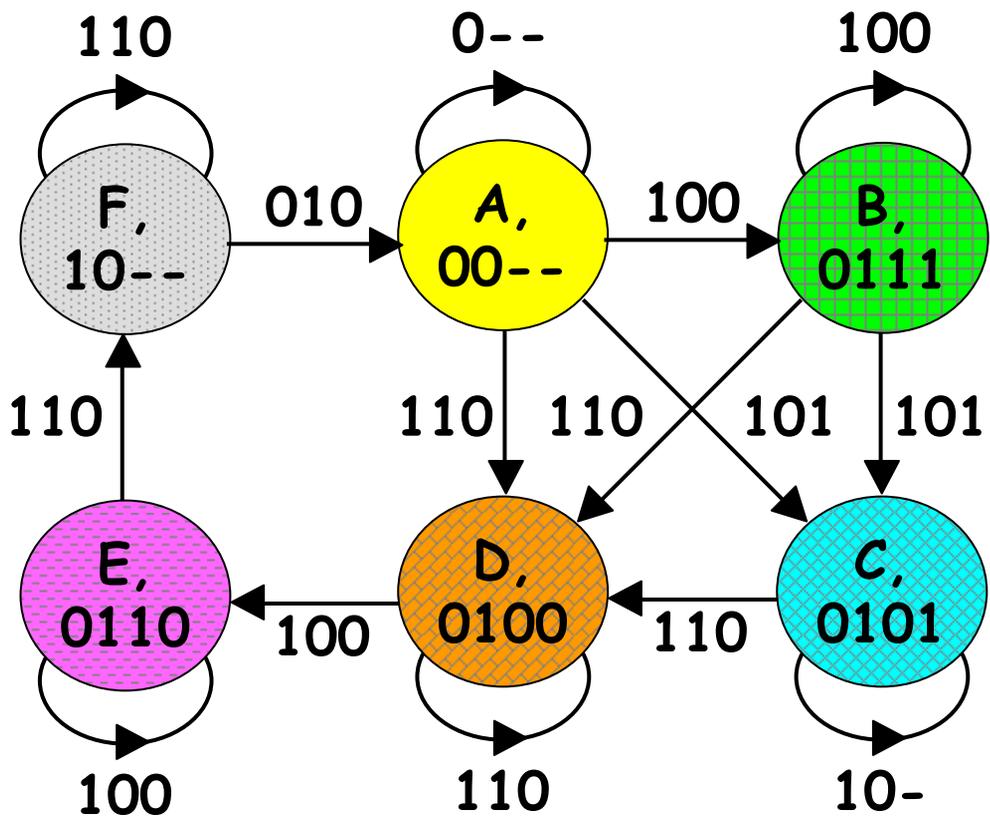
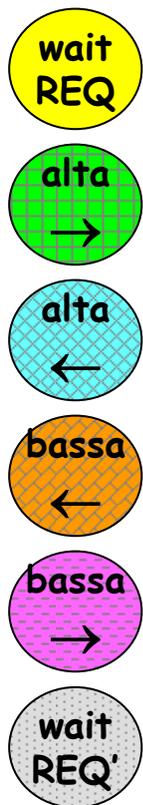
Una rete sequenziale asincrona, caratterizzata da tre segnali di ingresso REQ, R, D e da quattro segnali di uscita ACK, E, D/S', A/B', deve attuare la procedura di rifasamento dell'organo meccanico ogni qual volta viene attivato (livello logico 1) il segnale REQ, segnalandone al termine l'avvenuto completamento attraverso l'attivazione (livello logico 1) del segnale ACK. L'evoluzione temporale dei segnali REQ e ACK è conforme all'usuale protocollo di "handshake", che prevede la disattivazione del segnale REQ solo a seguito dell'attivazione del segnale ACK, e la conseguente disattivazione del segnale ACK a seguito della disattivazione del segnale REQ.

Si identifichi:

- il grafo degli stati della rete;
- la corrispondente tabella di flusso in forma minima;
- una tabella delle transizioni priva di corse critiche;
- le espressioni SP delle variabili di stato e di uscita.

Grafo degli stati

ingressi REQ R D, uscite ACK E D/S' A/B'

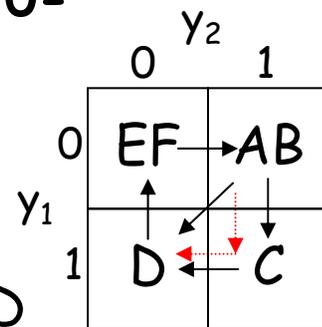


Stati compatibili
(modello di Mealy)

{A,B} {E,F}

Diagramma delle adiacenze
e mappa di codifica

1 transizione multipla: $AB \xrightarrow{110} C \xrightarrow{110} D$



ecc.